**DISSENY DIGITAL BÀSIC 2021-2022**

***PRÀCTICA 2: Implementació estructural d’un sistema digital***

***(dies 25,26,27,28,29 d’Octubre)***

**Treball a desenvolupar al laboratori:**

1. Implementeu la següent funció **funcio\_2** de 4 variables d’entrada, **a**, **b**, **c** i **d**, i una sortida **f** tal com està escrita i utilitzant la metodologia lògica i l’estructural descrita anteriorment i sense realitzar la simplificació de la funció:

***f=(/a·b·/c+b·/d+a·c·d+a·/d) XOR (a+/d)***

1. Per tal d’implementar l’arquitectura estructural, primer caldrà que recupereu les portes lògiques de la pràctica anterior, amb arquitectures ‘**logica**’ i ‘**logicaretard**’. En aquesta darrera arquitectura, imposeu un retard de 3 ns (fes-ho en un fitxer apart).
2. Implementeu ara l’entitat **funcio\_2** amb la seva arquitectura **logica** i **logicaretard** a partir de l’expressió de dalt, SENSE SIMPLIFICAR-LA. En l’arquitectura **logicaretard** imposeu un retard de 3 ns. Podeu fer servir els noms de **bdp** i **test** per l’entitat i l’arquitectura del banc de proves, respectivament. Feu que els senyals variïn cada 50 ns (tal i com es fa a l’exemple de codi).
3. Escriviu l’arquitectura **estructural** corresponent a la **funcio\_2** que heu implementat. Utilitzeu primer les arquitectures **logica** de les portes. Afegiu en el mateix banc de proves la **funcio\_2** amb la seva arquitectura **estructural** i comproveu el resultat (ara haure de testar tres arquitectures simultàniament). Noteu que la sortida de la **funcio** ha de ser un senyal diferent per a cada arquitectura (**logica**, **logicaretard**, **estructural**).

Per tal de comprovar el funcionament correcte, podeu genereu-vos en un paper la taula de veritat corresponent a la funció. Després, comproveu, que sota les 16 combinacions de les variables d’entrada, la sortida de la simulació coincideix amb la taula de veritat.

1. Ara considereu l’arquitectura retardada ‘**logicaretard**’ de les portes en una nova arquitectura ‘**estructural\_R**’. Afegiu ara en el mateix banc de proves la **funció\_2** amb aquesta darrera arquitectura **estructural\_R** i comproveu el resultat (heu d’afegir la sortida en el banc de proves corresponent a la **funcio\_2** amb aquesta arquitectura **estructural\_R**). Construïu el corresponent banc de proves. Comproveu que hi ha diferències amb l’apartat b) que no són, exclusivament, un endarreriment de tota la funció de sortida. Descriviu i justifiqueu aquestes diferències, afegint un comentari en el codi, on indiqueu explícitament a quins instants de temps apareixen.
2. A partir del banc de proves anterior, modifiqueu-lo de forma que els senyals variïn cada 5 ns (per pujar l’arxiu, després torneu a deixar-ho amb la variació de 50 ns). Compareu aquest comportament amb el que s’esperaria per la funció lògica que realitza el circuit, que seria el donat a l’apartat b). Per què són diferents? Penseu-hi i justifiqueu-nos-ho (afegint un altre comentari al final del codi).

Haureu de pujar 2 fitxers, SENSE COMPRIMIR, que continguin les següents informacions:

1. Un fitxer amb les entitats i arquitectures **logica** i **logicaretard** de les portes lògiques que heu implementat a la pràctica 1. És a dir, les portes **inversor**, **and2**, **and3**, **and4**, **or2**, **or3**, **or4** i **xor2**. El nom del fitxer serà **P2a\_Cognom1\_Cognom2\_Nom\_portes.vhd**.
2. Un segon fitxer (**P2b\_Cognom1\_Cognom2\_Nom\_funcio.vhd**) que implementi la funció que s’ha descrit a l’apartat 2 (nom de l’entitat **funció\_2**) amb les seves arquitectures **logica, logicaretard, estructural** i **estructural\_R**. Afegiu l’entitat **bdp** amb l’arquitectura **test**, amb els senyals d’entrada **ent3**, **ent2**, **ent1** i **ent0** i les sortides, **sort\_logica, sort\_logica\_R, sort\_estructural\_R** i **sort\_estructural**, que permeti testar totes les arquitectures de la funció que heu definit. Respongueu les dues preguntes que es plantegen als apartats d) e), posant-les com a comentaris a l’inici del codi.

**Aquest treball l’haureu de pujar a través del campus virtual quan acabeu la vostra sessió de pràctiques, abans de l’hora de finalització de la vostra sessió de pràctiques. Els codis enviats fora del termini es corregiran però no s’avaluaran.**

**Recordeu que totes les trameses de fitxers es faran a través del campus virtual. NO ENVIEU ELS CODIS PER AVALUAR PER CORREU ELECTRÒNIC.**